

4-Bits Absoluttverdikrets

Erik Liodden^a, Håkon Verås^a

^aNorges Teknisk-Naturvitenskapelige Universitet, N-7491 Trondheim, Norway.

Sammendrag

Dette eksperimentet viser at det er mulig å lage en 4-Bits absoluttverdikrets med tall på toerkomplementsform. Forsinkelsen i kretsen langs kritisk sti ble målt til å være 622 ns som gir en maks klokkefrekvens til kretsen på 0.8 MHz.

1. Innledning

23. desember 1947 lyktes John Bardeen og Walter Brattain i å lage verdens første transistor. Den erstattet vakuumbudene som var femti ganger størrelsen dens, og markerte begynnelsen på dagens digitale æra. Med dagens transistorer på 10 nm er vakuumbudenes størrelsesorden økt fra femti til millioner, og er stadig økende. Transistorer er essensielle i logiske porterretser, som igjen er viktige for digitale kretser.

Hensikten med denne laboratorieøvelsen er å se at det er mulig å få en krets til å gjennomføre enkle matematiske operasjoner ved å sette sammen flere diskrete portkretser. I dette tilfellet benyttes en 4-bits absoluttverdikrets, som kan videre settes sammen med andre kretser for å konstruere mer avanserte datamaskiner.

2. Teori

2.1. Negative tall

I digitale systemer er tall representert på binærform, det vil si med 1-ere og 0-ere. En utfordring med denne representasjonen er fraværet av '-' symbolet, så det å representere negative tall er derfor ikke trivielt. Den mest intuitive metoden å representere negative tall på er å bruke 'Signed Magnitude Representation' (SMR), der det mest signifikante bit (MSB) blir brukt til å representere fortegnet, og de resterende bitene til å representere verdien. I moderne datamaskiner blir negative tall istedet oftest representert på toerkomplement form. Toerkomplementet \bar{D} til et heltall D kan finnes ved

$$\bar{D} = D' + 1, \quad (1)$$

der D' er D med alle bits invertert. Den desimale verdien w til et N -bits binært heltall på toerkomplement form, $a_{N-1}a_{N-2}\dots a_0$ er gitt ved

$$w = -a_{N-1}2^{N-1} + \sum_{i=0}^{N-2} a_i 2^i. \quad (2)$$

Fordelen med denne representasjonen er at fundamentale aritmetiske operasjoner som addisjon, substraksjon og

multiplikasjon er identiske med operasjonene utført på binære positive tall. I tillegg kan '0' representeres både som 1000 og 0000 i SMR, noe som gjør det mindre attraktivt å bruke.

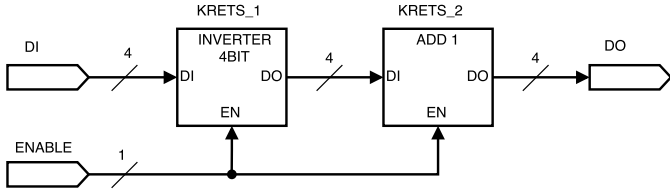
Tabell 1 viser sammenhengen mellom binære 4-bits heltall på toerkomplement form og den korresponderende heksadesimale og desimale representasjonen gitt ligning (2).

Tabell 1: Relasjon mellom 4-bit binære heltall på toerkomplement form, heksadesimal og desimal representasjon.

Binær	Heksadesimal	Desimal
0111	0x7	7
0110	0x6	6
0101	0x5	5
0100	0x4	4
0011	0x3	3
0010	0x2	2
0001	0x1	1
0000	0x0	0
1111	0xF	-1
1110	0xE	-2
1101	0xD	-3
1100	0xC	-4
1011	0xB	-5
1010	0xA	-6
1001	0x9	-7
1000	0x8	-8

2.2. ABS-krets

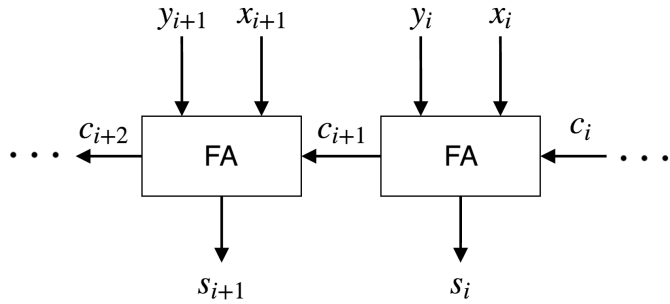
En digital absoluttverdikrets, ABS-krets, kan designes ved å finne toerkomplementet til et binært tall ved å implementere ligning (1). Kretsen aktiveres dersom tallet er negativt og deaktivert dersom tallet er positivt. Fortegnet til tallet kan bestemmes ved MSB, som kalles fortegnsbit. Tallet er positivt om fortegnsbiten er '0' og negativt hvis fortegnsbiten er '1'. En slik ABS-krets er skissert i Figur 1 der KRETS_1 inverterer bitene og KRETS_2 adderer 1.



Figur 1: Absoluttverdi-krets. KRETS_1 inverterer bitene fra DI og KRETS_2 adderer 1 [1].

2.3. Modifisert "Ripple Carry"-adderer

For å addere to binære tall bestående av n bits $x = x_{n-1} \dots x_0$ og $y = y_{n-1} \dots y_0$, adderes korresponderende bits hver for seg i tillegg til resten c fra forrige addisjon. Her benyttes fulladderere som tar inn bitverdier fra x og y i tillegg til mente fra forrige fulladderer. Fulladdereren gir ut korresponderende bitverdi s og sender menten c videre til neste fulladderer. Dette illustreres i Figur 2.

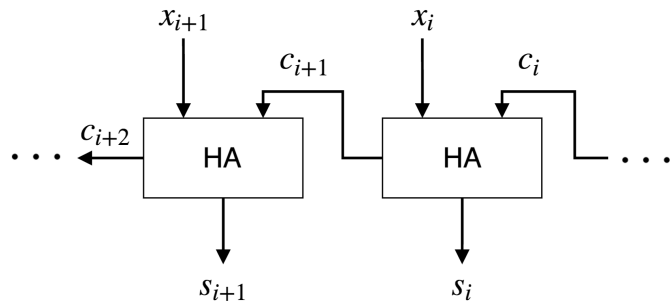


Figur 2: Skissert konsept av en fulladderer

S og C er henholdsvis gitt av

$$\begin{aligned} s_{i+1} &= x_i \oplus y_i \oplus c_i \\ c_{i+1} &= x_i \cdot y_i + x_i \cdot c_i + y_i \cdot c_i. \end{aligned} \quad (3)$$

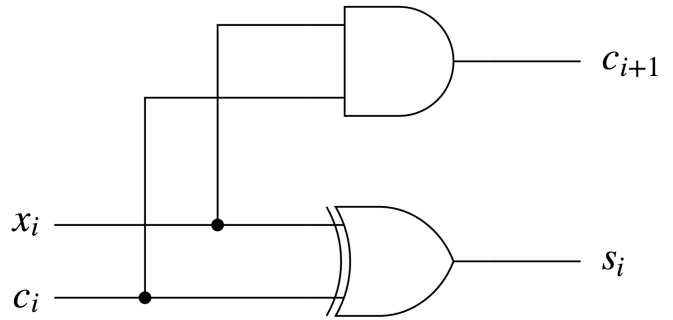
For en absoluttverdikrets kan Ripple Carry-addereren reduseres noe. Hvis tallet er negativt skal tallet etter invertering kun adderes med en, som betyr at alt utenom $y_0 = 1$ sees bortifra. Dette fører til at kretsen kan modifiseres fra å inneholde fulladderere til halvadderere¹. En skisse av en halvadderer-krets er vist i Figur 3.



Figur 3: Skissert konsept av en halvadderer

¹En halvadderer har ingen menteinngang. Mente benyttes egentlig, men siden inngangene i full- og halvadderere er likeverdige, tolkes det til at menteinngangen fjernes.

En halvadderer her bygd opp av en AND port en XOR port, som vist i Figur 4



Figur 4: Oppbyggingen av en halvadderer.

2.4. Tidsforsinkelse og kritisk sti

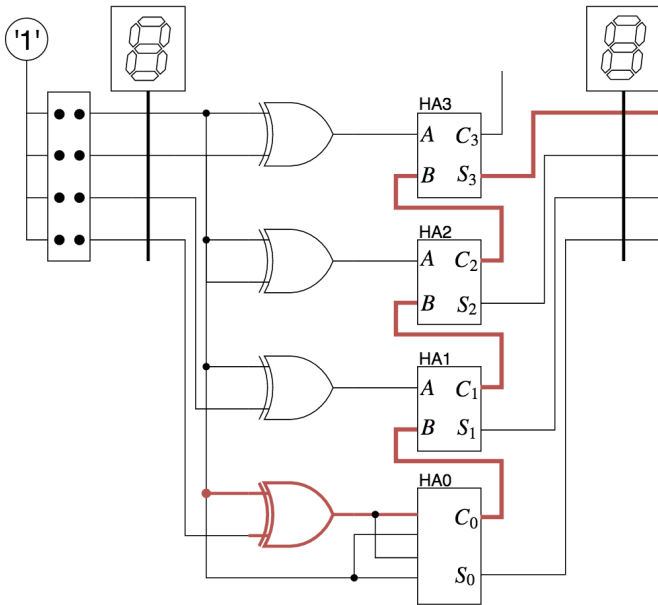
En kritisk sti er en vei som et signal bruker lengst tid på å bevege seg gjennom i en krets. Med 'sti' menes det serien av porter som et signal må gjennom. I disse portene forekommer det en tidsforsinkelse når signalet endres fra høy til lav eller omvendt, og måling av tidsforsinkelsen kan gjøres ved å se på input-verdier som aktiverer alle porter langs kritisk sti. Tidsforsinkelsen forårsaket av signalets propagering langs kritisk sti bestemmer maksimal klokkefrekvens til den logiske kretsen. Denne maksimale frekvensen er gitt av

$$f_{\text{maks}} = \frac{1}{t_c}, \quad (4)$$

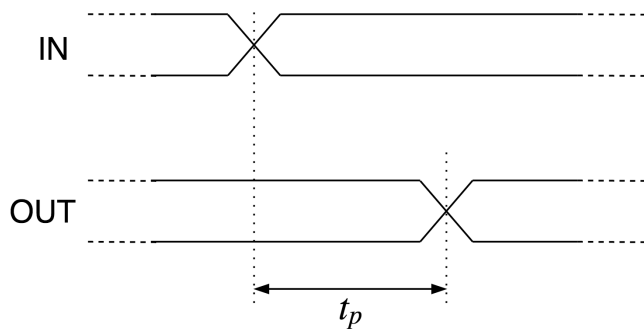
der t_c er tidsforsinkelsen til signalet langs kritisk sti.

3. Målemetode og arbeidsbeskrivelse

Den 4-Bits absoluttverdikretsen ble koblet opp i henhold til Figur 5. Kretskortet ble koblet til spenningen 7V og jord. Den kritiske stien til kretsen i Figur 5 er uthevet med rødt. Langs denne stien må signalet gå gjennom 2 XOR-porter og 3 AND-porter. Propageringsforsinkelsen gjennom XOR-porten og AND-porten er oppgitt av produsenten til å ha typisk verdi $t_{p,\text{XOR}} = 140$ ns og $t_{p,\text{AND}} = 125$ ns [1], som gir en forventet tidsforsinkelse på 655 ns. For målinger ble probene benyttet. Probene ble satt på 10x og kalibert i henhold til laboratorieheftet [1]. Målingene med probene ble foretatt direkte på komponentene på kretskortet. For denne spesifikke kretsen vil signalet 1000 følge den kritiske stien. Forplantningsforsinkelsen ble målt fra der innsignalet er på 50% til der utsignalet er på 50% som vist i Figur 6.



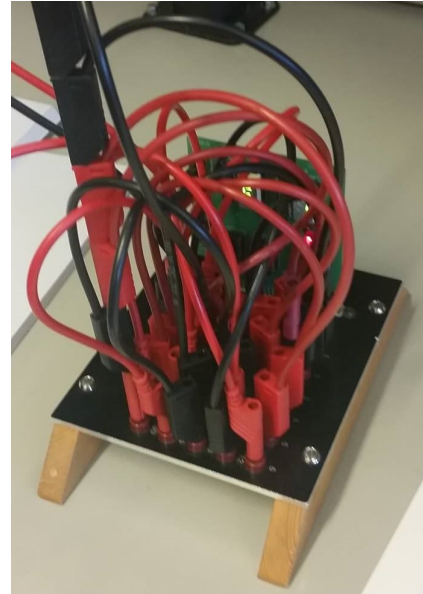
Figur 5: Absoluttverdi-krets med uthevet kritisk sti. [1]



Figur 6: Måling av propageringsforsinkelse t_p gjennom en krets basert på 50% endring av inn og utsignal. [1]

Under målingen av propageringsforsinkelsen over kritisk sti, ble inputsignalet endret ved å invertere det mest signifikante bit, MSB, slik at signalet varierte mellom 1000 og 0000. Dette ble oppnådd ved å sette signalgeneratoren til å generere en firkantpuls på MSB med $5V_{p-p}$, 2.5V offset og en svingefrekvens på 100 kHz.

Stige- og falltiden ble estimert ved å gjennomføre flere målinger av tiden det tar for utgangen til en logisk port til å gå fra 10% til 90% eller 90% til 10% av spenningen for logisk 1. Deretter ble det estimert et gjennomsnitt og tilhørende standardavvik ved hjelp oscilloskopets innebygde målefunksjonalitet.



Figur 7: Absoluttverdi-kretsen ferdigmontert.

4. Utstyrliste

Utstyr brukt til kretsen:

- Logisk kvadrupel AND port: **CD4081B**, Texas Instruments
- Logisk kvadrupel XOR port: **CD4030B**, Texas Instruments

Utstyr brukt til måling og signal produsert av ROHDE & SCHWARZ:

- Oscilloskop: RTB2004 Digital oscilloscope 2.5GSa/S
- Strømforsyning: HMC 8042 POWERSUPPLY
- Signalgenerator: HMF2525 25 MHz
- Multimeter: HMC 8012 Digital Multimeter
- Prober: RT-ZP03 Prober

5. Resultater

Kretsen ble koblet opp som vist i Figur 5 og kretsen ga ut forventede resultat for absoluttverdier. For XOR-porten ble målt stigetid estimert til å være 44 ns med et standardavvik på 0.450 ns, der standardavviket er basert på $40 \cdot 10^3$ målinger. Falltiden ble målt til å være 63 ns, med et standardavvik på 0.670 ns basert på $30 \cdot 10^3$ målinger.

For AND-porten ble målt stigetid estimert til å være 62 ns med et standardavvik på 2.3 ns, der standardavviket er basert på $50 \cdot 10^3$ målinger. Falltiden ble målt til å være 30 ns, med et standardavvik på 0.450 ns basert på $20 \cdot 10^3$ målinger.

Tidsforsinkelse langs kritisk sti ble målt til å være 622 ns, se Figur 9. Dette gir en maksimal klokkefrekvens på 1.61 MHz.

Ved å skru signalgeneratoren til halvparten av maksimal klokkefrekvens så ble signalet som vist i Figur 8. Økning av klokkefrekvensen opp mot 1.2 MHz førte til at signalet ble mindre tydelig.

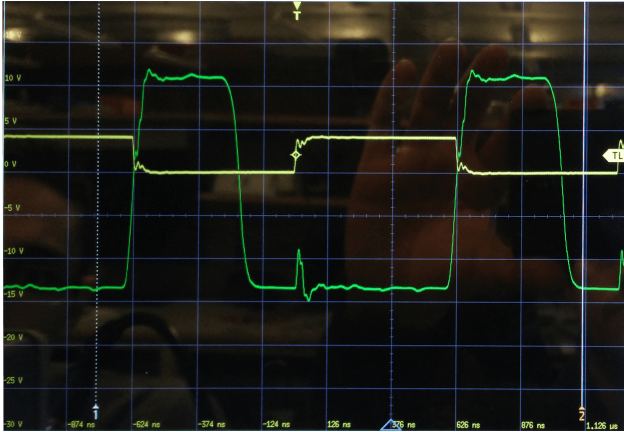


Figure 8: Respons i kretsen ved maksimal klokkefrekvens, 0.8 MHz. Gult signal er MSB, og grønt signal er kretsens respons ved enden av kritisk sti.

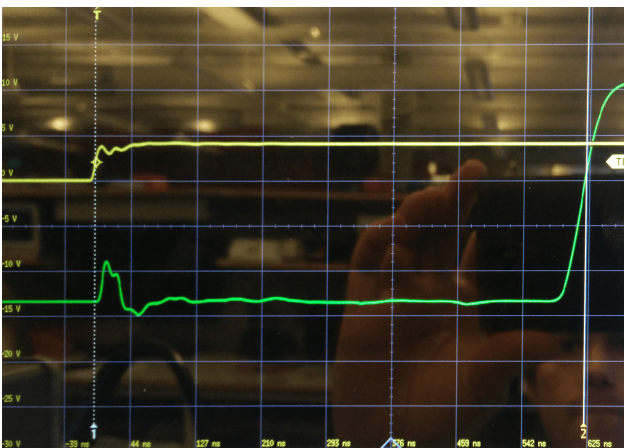


Figure 9: Propageringsforsinkelse langs kritisk sti.

6. Diskusjon

Absoluttverdi ga korrekte verdier for alle negative tall med unntak av '-8'. Dette var forventet som følge av at toerkomplementet av '-8' resulterer i at 1000 inverteres til 0111 og adderes tilbake til 1000 som er ekvivalent med '-8'. Dette skyldes en begrensning av 4-bits representasjon som gir en feil knyttet til overflyt. Ved å utvide representasjonen til flere bits vil '-8' bli representert annerledes og ikke ha dette problemet. Dette er et resultat av digital representasjon av negative tall med endelig antall bits.

Den målte verdien på tidsforsinkelsen på kritisk sti, $t_c = 622$ ns er lavere enn den utregnede verdien 655 ns basert på tallene i databladene til komponentene. Tidsforsinkelsen er avhengig av transisjonsforsinkelsen i komponentene i kretsen, og denne forsinkelsen påvirkes i stor

grad av lastkapasitansen til de ulike komponentene. Dette kan sees i vedleggene G.3. og G.4. i labheftet [1]. Databladene opererer med typisk verdi for lastkapasitans, i dette tilfellet $C_l = 50$ pF. Produsenten av de logiske komponentene i kretsen, Texas Instruments, oppgir i databladet til begge komponentene (AND- og XOR-portene) at transisjonstiden er lineært avhengig av lastkapasitans på en slik måte at lavere lastkapasitans gir lavere transisjonsforsinkelse og tilsvarende gir en høyere lastkapasitans en høyere transisjonsforsinkelse. Det faktum at det ble målt en lavere tidsforsinkelse på kritisk sti enn den verdien utregnet, henter om at lastkapasitansen til kretsen ligger lavere enn typisk verdi antatt av produsenten. Måleproben som ble brukt hadde kapasitans $C_p = 12$ pF. Siden måleprobene er koblet i serie med resten av kretsen, vil de forårsake en totalt lavere lastkapasitans, og dermed kunne påvirke resultatet i denne retningen.

Siden signalgeneratoren påtrykker to alternerende signalverdier er det nødvendig å halvere den maksimale klokkefrekvensen for at propageringsforsinkelsen ikke skal bli mindre enn halvparten av periodetiden til signalet. Ytterligere økning av klokkefrekvensen resulterer i at utgangssignalet ikke rekker å endre seg før inngangssignalet har kommet seg gjennom. Dette fører til uønsket støy i utgangssignalet og gjør kretsen utilregnelig.

7. Konklusjon

Dette eksperimentet har gitt innblikk i mulighetene med digitale kretser, og har verifisert at digitale kretser er i stand til å gjennomføre enkle matematiske operasjoner, i dette tilfellet ta absoluttverdien av et 4-Bits tall. Dette eksperimentet har også vist begrensningene knyttet til propageringsforsinkelsen i en slik krets.

Referanser

- [1] I. Helland H. Solvang M. Rostad K. Svarstad, Y. H. Yassin. *TFE4101 Krets- og digitalteknikk Laboratiohefte*. NTNU, 2017.